

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Sung-Bae LEE et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: September 30, 2003 : Attorney Docket No. SEC.1084
For: METHOD OF FORMING A TRENCH FOR USE IN MANUFACTURING A
SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:


Appln. No. 10-2003-0012763 filed February 28, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: September 30, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0012763
Application Number

출원 년 월 일 : 2003년 02월 28일
Date of Application FEB 28, 2003

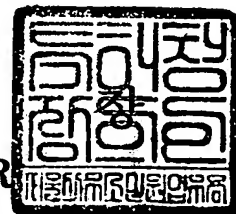
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 18 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.28
【발명의 명칭】	트렌치 형성 방법 및 이를 이용한 반도체 장치의 제조 방법
【발명의 영문명칭】	Method for forming trench and method for manufacturing semiconductor device using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이성배
【성명의 영문표기】	LEE, Sung Bae
【주민등록번호】	730227-1632110
【우편번호】	445-971
【주소】	경기도 화성시 태안읍 기안리 349 우림그린빌리지 102동 304호
【국적】	KR
【발명자】	
【성명의 국문표기】	하상록
【성명의 영문표기】	HAH, Sang Rok
【주민등록번호】	611114-1031525
【우편번호】	135-891
【주소】	서울특별시 강남구 신사동 566-33호 4층
【국적】	KR
【발명자】	
【성명의 국문표기】	손홍성
【성명의 영문표기】	SON, Hong Seong

【주민등록번호】 660417-1645911
【우편번호】 442-729
【주소】 경기도 수원시 팔달구 영통동 신나무실신원아파트 642동 301호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 17 면 17,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 25 항 909,000 원
【합계】 955,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

원하는 치수의 트렌치를 용이하게 형성할 수 있는 트렌치 형성 방법 및 이를 이용한 반도체 장치의 제조 방법이 개시된다. 기판 상에 절연막을 형성하고, 절연막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 이용하는 제1 식각 공정을 통해 절연막에 제1 치수를 가지는 트렌치를 형성하고, 트렌치를 포함하는 절연막을 제2 식각 공정을 통해 식각하여 제2 치수를 갖는 확장된 트렌치를 형성한다. 제1 식각 공정을 통하여 마스크인 포토레지스트 패턴의 구조적인 안정성을 유지하면서 제1 치수를 가지는 트렌치를 형성한 다음, 반도체 기판 또는 절연막의 종류에 따라 상이한 조성을 가지는 식각 용액을 사용하는 제2 식각 공정을 통하여 트렌치의 치수를 확장시킬 수 있다. 따라서, 확장된 구조를 가지는 트렌치 내에 요구되는 사이즈의 금속 배선이나 소자 분리막 또는 콘택 등을 정확하게 형성할 수 있다.

【대표도】

도 2c

【명세서】**【발명의 명칭】**

트렌치 형성 방법 및 이를 이용한 반도체 장치의 제조 방법{Method for forming trench and method for manufacturing semiconductor device using the same}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래의 트렌치 형성 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 트렌치 형성 방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3d는 본 발명의 다른 실시예에 따른 트렌치 형성 방법을 설명하기 위한 단면도들이다.

도 4a 내지 도 4c는 본 발명의 또 다른 실시예에 따른 도전성 패턴의 형성 방법을 설명하기 위한 단면도들이다.

도 5a 내지 도 5e는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

50, 80, 100, 150 : 반도체 기판 55, 105, 155, 175, 185 : 절연막

60, 85, 110, 195, 205 : 포토레지스트 패턴

65, 90, 115, 160, 210 : 트렌치 120, 165, 215, 220 : 도전성 패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 트렌치 형성 방법 및 이를 이용한 반도체 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 제1 식각 공정을 통해 절연막 또는 기판에 일차적으로 트렌치를 형성한 후, 제2 식각 공정으로 트렌치의 치수를 확장함으로써, 원하는 치수의 트렌치를 용이하게 형성할 수 있는 트렌치 형성 방법 및 이를 이용한 반도체 장치의 제조 방법에 관한 것이다.

<11> 일반적으로 RAM(Random Access Memory) 칩의 메모리 능력은 경험칙인 Moores의 법칙에 의하여 표현되어 진다. Moores의 법칙은 메모리 칩의 일반적인 경향을 나타낸 것으로서, RAM 칩의 메모리 용량이 대체로 3년마다 4배 정도씩 증가한다는 것을 그 내용으로 한다. 약 4배 정도의 메모리 용량의 증가는 새로운 세대의 칩이 출현할 때마다 소자의 사이즈의 감소와 동시에 그 만큼의 실리콘 칩의 길이 증가에 의하여 이루어진다. 실리콘 칩 내에 집적되는 소자의 크기가 점점 작아짐에 따라 연결 라인(interconnect line)들의 상대적인 거리 역시 감소하게 된다.

<12> 그러나, 연결 라인들 사이의 거리가 감소하면서 라인들 서로 영향을 미치기 시작하며, 연결 라인들 사이의 거리가 소정의 값 이하가 되면 반도체 소자 전체의 신호 지연을 야기한다. 반도체 칩의 신호 처리 속도를 향상시키기 위한 방안 가운데 하나로서 배선으로 사용되는 금속의 비저항을 감소시키는 것이 요구된다.

<13> 최근까지는, 반도체 소자의 연결 라인의 재료로서 약 $2.66\mu\Omega\text{cm}$ 정도의 비저항을 갖는 알루미늄(Al) 또는 알루미늄 합금을 사용하였다. 그러나, 1998년 IBM에서 약 $1.65\mu\Omega\text{cm}$ 정도로 알루미늄에 비하여 훨씬 낮은 비저항을 가지는 구리(Cu)를 이용하여 금속 배선을 형성하는 방법을 개시한 이래로 현재는 구리를 사용하여 반도체 소자의 금속 배선 및 금속-절연체-금속(MIM) 캐패시터와 같은 반도체 소자를 제조하는 방법에 대하여 많은 연구가 진행되고 있다. 현재, 구리를 금속 배선이나 캐패시터의 하부 전극 또는 콘택으로 사용하는 다마신 공정에 있어서, 절연막에 먼저 사진 식각 공정을 통하여 소정의 치수로 트렌치를 형성한 다음, 상기 절연막에 형성된 트렌치 내에 화학 기계적 연마(CMP) 공정을 이용하여 구리층을 형성하는 방법이 일반적으로 이용되고 있다. 이러한 트렌치를 이용하여 소자 분리막, 금속 배선 또는 캐패시터를 형성하는 방법은 Eric Adler 등에게 허여된 미국특허 제 6,259,128호, Douglas R. Robert 등에게 허여된 미국특허 제 6,461,914호, 국내 공개 특허 제2003-10507호, 그리고 국내 공개 특허 2003-2803호 등 다수의 문헌에 개시되어 있다.

<14> 도 1a 및 도 1b는 종래의 트렌치 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.

<15> 도 1a를 참조하면, 실리콘웨이퍼인 반도체 기판(10) 상에 산화물 내지 질화물로 이루어진 절연막(15)을 형성한 다음, 반도체 장치의 금속 배선을 위한 트렌치를 형성하기 위하여 절연막(15) 상에 포토레지스트막(도시되지 않음)을 도포한다. 이 때, 반도체 기판(10) 상에는 트랜지스터와 같은 구조물이 마련된다.

<16> 이어서, 상기 포토레지스트막을 노광 및 현상하여 절연막(15) 상에 포토레지스트 패턴(20)을 형성한다. 이 경우, 절연막(15)에 적절한 폭과 깊이를 가지는 트렌치를 형성

하기 위해서는 트렌치를 형성하는 동안 마스크로 사용되는 포토레지스트 패턴(20)이 소정의 폭과 높이를 가져야 한다. 즉, 포토레지스트 패턴(20)의 높이가 너무 낮으면 절연막(15)에 트렌치가 완전히 형성되기도 전에 포토레지스트 패턴(20)이 모두 소모될 수 있기 때문에 포토레지스트 패턴(20)들 사이로 노출되는 절연막(15)을 식각하여 트렌치를 형성하는 동안 포토레지스트 패턴(20)이 완전히 소모되지 않도록 포토레지스트 패턴(20)은 소정의 값 이상의 높이를 가져야 한다. 또한, 포토레지스트 패턴(20)의 폭이 너무 넓어지면 상대적으로 절연막(15)에 형성되는 트렌치의 폭이 너무 좁아지기 때문에 절연막(15)에 형성되는 트렌치의 폭을 고려하여 포토레지스트 패턴(20)은 소정의 값 이하의 폭을 가져야 한다. 도 1a에 도시한 바와 같이, 일반적으로 트렌치를 형성하기 위하여 포토레지스트 패턴(20)은 약 3 이상의 높은 종횡비(aspect ratio)(포토레지스트 패턴(20)의 폭(w)에 대한 높이(h)의 비)를 갖고 절연막(15) 상에 형성된다.

<17> 그러나, 도 1b에 도시한 바와 같이, 포토레지스트 패턴(20)이 3 이상의 높은 종횡비를 가질 경우에는 포토레지스트 패턴(20)의 구조적 안정성이 약화되어 포토레지스트 패턴(20)이 무너지는 현상이 발생할 가능성이 매우 높아진다. 이를 해결하기 위하여 포토레지스트 패턴(20)의 폭(w)을 증가시킬 경우에는 이에 비례하여 포토레지스트 패턴(20)을 마스크로 하여 절연막(15)에 형성되는 트렌치의 폭이 너무 좁아지기 때문에 트렌치에 다마신(damascene) 공정을 통하여 금속 배선을 형성하기 어려운 문제점이 발생하게 된다.

<18> 상기 포토레지스트 패턴(20)이 무너진 상태에서 절연막(15)을 식각하여 절연막(15)에 트렌치를 형성할 경우에는 트렌치의 위치나 치수를 조절하기가 거의 불가능하기 때문에 결국 반도체 장치의 불량을 야기하며 반도체 제조 공정의 수율을 저하시키는 원인이

된다. 또한, 전술한 종래의 포토레지스트 패턴(20)을 이용하여 트렌치를 형성하는 공정을 통해서는 트렌치의 치수를 정확하게 조절하기 어렵기 때문에, 이러한 트렌치에 다마신 공정으로 구리(Cu)로 이루어진 금속 배선을 형성할 경우에는 절연막(15) 상에 원하는 사이즈의 금속 배선을 형성하기 어려운 단점이 있다. 더욱이, 포토레지스트 패턴(20)이 쓰러진 상태에서 후속 공정을 진행하면 절연막이나 금속 배선에 찰흔(striation)이 발생하여 후속 공정에서 심각한 불량을 일으킬 가능성이 크게 증대되는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명의 제1 목적은 제1 식각 공정을 통하여 일차적으로 절연막 또는 기판에 일차적으로 제1 치수를 가지는 트렌치를 형성한 후, 제2 식각 공정을 통하여 트렌치가 제2 치수를 가지도록 함으로써, 원하는 치수의 트렌치를 형성할 수 있는 트렌치 형성 방법을 제공하는 것이다.

<20> 본 발명의 제2 목적은 상기 트렌치 형성 방법을 이용하여 기판의 상부에 요구되는 사이즈를 가지는 도전성 패턴을 정확하게 형성할 수 있는 도전성 패턴 형성 방법을 제공하는 것이다.

<21> 본 발명의 제3 목적은 상기 트렌치 형성 방법을 이용하여 정확한 치수를 가지는 금속 배선이나 캐패시터의 하부 전극 또는 콘택을 용이하게 형성할 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 바람직한 일 실시예에 따른 트렌치 형성 방법에 의하면, 기판 상에 절연막을 형성하고, 상기 절연막 상에 포토레

지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 마스크로 이용하는 제1 식각 공정을 통해 상기 절연막에 제1 치수를 가지는 트렌치를 형성하고, 상기 트렌치를 포함하는 상기 절연막을 제2 식각 공정을 통해 식각하여 제2 치수를 갖는 확장된 트렌치를 형성한다. 이 때, 상기 절연막은 산화물, 질화물 또는 불화물로 구성되며, 상기 제2 식각 공정은 산화물 또는 불화물을 식각하기 위하여 불화수소(HF), 불화암모늄(NH₄F), 과산화수소(H₂O₂) 및 탈이온수(H₂O)를 포함하는 식각 용액을 사용하여 수행되거나, 질화물을 식각하기 위하여 불화수소, 인산(H₃PO₄) 및 탈이온수를 포함하는 식각 용액을 사용하여 수행된다. 또한, 상기 식각 용액은 상기 확장된 트렌치 내에 형성되는 금속의 산화를 방지하기 위하여 벤조트리아졸(BTA)과 같은 산화 방지제를 더 포함할 수 있다.

<23> 또한, 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 다른 바람직한 실시예에 의한 소자 분리 방법에 따르면, 기판 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 마스크로 이용하는 제1 식각 공정을 통해 상기 기판에 제1 치수의 트렌치를 형성한 다음, 상기 트렌치를 포함하는 상기 기판을 제2 식각 공정을 통해 식각하여 제2 치수를 갖는 확장된 트렌치를 형성하고, 상기 확장된 트렌치 내에 매립되는 산화막을 형성한다. 이 때, 상기 제2 식각 공정은 웨트 벤치방식, 싱글 스펀 스테이션 방식 또는 케미컬 스펀 스테이션 방식으로 수행된다.

<24> 상술한 본 발명의 제2 목적을 달성하기 위하여 본 발명의 또 다른 바람직한 실시예에 의한 도전성 패턴 형성 방법에 따르면, 기판 상에 절연막을 형성하고, 상기 절연막에 포토레지스트 패턴을 형성한 다음, 상기 포토레지스트 패턴을 마스크로 이용하는 제1 식각 공정을 통해 상기 절연막에 제1 폭을 가지는 트렌치를 형성한다. 이어서, 상기 트렌치를 포함하는 상기 절연막을 제2 식각 공정을 통해 식각하여 상기 제1 폭 보다 넓은

제2 폭을 갖는 확장된 트렌치를 형성한 후, 상기 확장된 트렌치 내에 도전성 패턴을 형성한다.

<25> 상술한 본 발명의 제3 목적을 달성하기 위하여 본 발명의 또 다른 바람직한 실시예에 의한 반도체 장치의 제조 방법에 따르면, 반도체 기판 상에 제1 도전성 패턴이 형성된 제1 절연막을 형성하고, 상기 제1 절연막 상에 적어도 하나의 저지막 및 제2 절연막을 교대로 형성한 후, 상기 절연막 상에 제1 포토레지스트 패턴을 형성하고, 상기 제1 포토레지스트 패턴을 마스크로 이용하여 상기 저지막 및 상기 제2 절연막을 식각하여 상기 제1 도전성 패턴을 노출시키는 비어홀을 형성한다. 이어서, 상기 제1 포토레지스트 패턴을 제거한 후, 상기 절연막 상에 제2 포토레지스트 패턴을 형성하고 상기 제2 포토레지스트 패턴을 마스크로 이용하여 상기 저지막 및 상기 제2 절연막을 식각하여 상기 비어홀 상에 제1 폭을 갖는 트렌치를 형성한다. 계속하여, 상기 트렌치를 포함하는 상기 제2 절연막을 식각하여 제2 폭을 갖는 확장된 트렌치를 형성한 다음, 상기 비어홀 및 상기 확장된 트렌치에 각기 제2 및 제3 도전성 패턴을 형성한다.

<26> 본 발명에 의하면, 사진 식각 공정과 같은 제1 식각 공정을 통하여 마스크인 포토레지스트 패턴의 구조적인 안정성을 유지하면서 제1 치수를 가지는 트렌치를 형성한 다음, 반도체 기판 또는 절연막의 종류에 따라 상이한 조성을 가지는 식각 용액을 사용하는 제2 식각 공정을 통하여 트렌치의 치수를 확장시킬 수 있다. 따라서, 확장된 구조를 가지는 트렌치 내에 요구되는 사이즈의 금속 배선이나 소자 분리막 또는 콘택 등을 정확하게 형성할 수 있으므로, 트렌치의 형성을 위한 포토레지스트 패턴의 무너짐으로 인해 야기되는 반도체 장치의 불량을 방지하여 반도체 장치의 신뢰성을 개선할 수 있는 동시에 제조 공정의 수율을 향상시킬 수 있다.

- <27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들에 따른 트렌치 형성 방법 및 이를 이용한 반도체 장치의 제조 방법에 대하여 상세하게 설명하지만 본 발명이 하기의 실시예들에 의해 제한되거나 한정되는 것은 아니다.
- <28> 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 트렌치 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.
- <29> 도 2a를 참조하면, 트랜지스터 구조물(도시되지 않음)을 포함하는 반도체 기판(50) 상에 열 산화법이나 화학 기상 증착 방법을 통하여 산화물, 질화물 또는 불화물 등으로 이루어진 절연막(55)을 형성한다. 상기 절연막(55)을 구성하는 산화물로서는 중온 산화물(MTO), TEOS(tetraethyl orthosilicate), BPSG(boro-phosphor silicate glass), 또는 USG(undoped silicate glass) 등이 사용되며, 불화물로는 FSG(fluorinated silicate glass) 내지 실리콘 산불화물(SiOF) 등이 이용된다. 또한, 절연막(55)은 실리콘 질화물(Si_3N_4)이나 실리콘 산질화물(SiON) 등과 같은 질화물로 구성될 수 있다. 이 경우, 절연막(55)은 기판(50) 상에 위치하는 트랜지스터 구조물을 덮으면서 형성된다.
- <30> 계속하여, 절연막(55) 상에 포토레지스트막(도시되지 않음)을 도포한 다음, 노광 및 현상 공정을 통하여 상기 포토레지스트막을 패터닝하여 포토레지스트 패턴(60)을 형성한다. 이 때, 본 발명에 따르면 후술하는 바와 같이 트렌치의 치수 확장 공정이 수행되기 때문에 절연막(55) 상에 형성되는 포토레지스트 패턴(60)은 종래의 경우 보다 훨씬 작은 종횡비를 가진다. 즉, 본 발명에 따른 포토레지스트 패턴(60)은 도 1a에 도시한 종래의 포토레지스트 패턴(20)의 폭(w)에 비하여 상대적으로 넓은 폭(w')을 가지는 한편 종래의 포토레지스트 패턴(20)의 높이(h)에 대해서는 상대적으로 낮은 높이(h')을 가진

다. 본 발명에 따른 포토레지스트 패턴(60)은 작은 중횡비를 가지기 때문에 그 구조적인 안정성이 개선되어 포토레지스트 패턴(60)이 무너지는 현상을 방지할 수 있다.

<31> 도 2b를 참조하면, 포토레지스트 패턴(60)을 마스크로 이용하여 절연막(55)을 부분적으로 식각하여 절연막(55)에 제1 치수를 가지는 트렌치(65)를 형성한다. 즉, 포토레지스트(60)를 이용하는 제1 식각 공정을 통하여 제1 치수를 가지는 트렌치(65)를 형성한다. 이 때, 절연막(55)에 형성되는 트렌치(65)는 제1 폭(w_1)과 제1 깊이(d_1)를 가진다. 통상적으로 트렌치(65) 내에 형성되는 금속 배선이 약 1500~2400Å 정도의 폭을 가질 경우에는 트렌치(65)의 제1 폭(w_1)은 약 1000~1200Å 정도가 된다. 이에 따라, 트렌치(65)를 형성하는 동안 마스크로 사용되는 포토레지스트 패턴(60)의 폭(w')은 종래에 비하여 약 800~1000Å 정도만큼 확장되어 포토레지스트 패턴(60)이 안정적인 구조를 가질 수 있다. 한편, 트렌치(65)의 제1 깊이(d_1)는 절연막(55)의 두께에 상응하여 임의로 조절할 수 있다. 그러나, 이러한 트렌치(65)의 제1 폭(w_1) 및 제1 깊이(d_1)는 절연막(55)의 두께 및 트렌치(65)에 형성되는 금속 배선의 치수에 따라 변경될 수 있다.

<32> 이어서, 상기 제1 치수를 가지는 트렌치(65)가 형성된 절연막(55)에 대하여 절연막(55)의 재질에 따라 상이한 식각 용액을 사용하는 제2 식각 공정을 수행한다. 이 경우, 상기 제2 식각 공정은 웨트 벤치(wet bench) 방식, 싱글 스핀 스테이션(single spin station) 방식, 또는 케미컬 스핀 스테이션(chemical spin station) 방식으로 수행된다.

<33> 본 실시예에 있어서, 절연막(55)이 산화물 또는 불화물로 이루어진 경우에는 불소를 포함하는 식각 용액을 사용하여 트렌치(65)를 포함하는 절연막(55)을 식각한다. 바람직하게는, 상기 식각 용액은 불화수소(HF), 불화암모늄(NH_4F), 과산화수소(H_2O_2) 및 탈이온수(H

20)를 함유한다. 이 때, 상기 식각 용액 중 불화수소에 대한 불화암모늄의 부피 비는 약 1 : 1~10 정도가 되며, 불화수소에 대한 과산화수소의 부피 비는 약 1 : 1~10 정도가 된다. 또한, 상기 식각 용액 중 불화수소에 대한 탈이온수의 부피 비는 약 1 : 100~500 정도가 된다. 이와 같은 조성을 가지는 식각 용액은 약 40~60 Å/분 정도의 식각 속도로 절연막(55)을 식각한다. 한편, 절연막(55)이 질화물로 구성된 경우에는 불화수소, 인산(H_3PO_4) 및 탈이온수를 포함하는 식각 용액을 사용하여 트렌치(65)를 포함하는 절연막(55)을 식각한다. 더욱이, 상기 트렌치(65) 내에 형성되는 금속 배선이 구리로 이루어질 경우에는 상기 식각 용액은 구리로 구성된 금속 배선의 산화를 방지하기 위하여 벤조트리아졸(BTA)과 같은 산화 방지제를 더 포함할 수 있다.

<34> 상기 웨트 벤치 방식으로 제2 식각 공정을 수행할 경우, 트렌치(65)가 형성된 절연막(55)을 포함하는 기판(50)을 절연막(55)의 종류에 따라 전술한 조성을 갖는 식각 용액이 수용되어 있는 저장조(bath)에 담그는 방법으로 절연막(55)을 식각한다. 이 때, 약 25~50매 정도의 기판(50)을 동시에 처리함으로써, 상기 제2 식각 공정에 소요되는 시간을 단축할 수 있다. 상기 싱글 스펀 스테이션 방식으로 제2 식각 공정을 수행할 경우에는, 회전 가능한 척(chuck) 상에 트렌치(65)를 포함하는 절연막(55)이 형성된 기판(50)을 위치시킨 다음, 기판(50)을 회전시키면서 기판(50) 상에 전술한 조성을 갖는 식각 용액을 분사하여 절연막(55)을 식각한다. 또한, 상기 케미컬 스펀 스테이션 방식으로 제2 식각 공정을 수행할 때는, 약 25~50매 정도의 기판(50)을 실린더형 스테이션 내에 배치한 다음, 각 기판(50)을 회전시키면서 기판(50) 상에 상기 식각 용액을 분사하여 기판(50) 상에 형성된 트렌치(65)를 포함하는 절연막(55)을 식각한다.

<35> 도 2c를 참조하면, 상술한 제2 식각 공정을 통하여 제1 폭(w_1)과 제1 깊이(d_1)를 포함하는 제1 치수를 가지는 트렌치(65)가 제2 치수를 가지도록 트렌치(65)의 폭이 확장된다. 즉, 제2 식각 공정을 수행함에 따라 트렌치(65)의 제2 폭(w_2)은 제1 식각 공정에 의해 형성되었던 제1 폭(w_1) 보다 넓게 확장된다. 예를 들면, 트렌치(65)가 약 1000~1200Å 정도의 제1 폭(w_1)을 가질 경우, 트렌치(65) 내면의 식각 속도가 약 40~60Å/분 정도이므로 약 6~10분 정도 제2 세정 공정을 수행하면 트렌치(65)의 제2 폭(w_2)을 약 1500~2400Å 정도로 확장하여 트렌치(65) 내에 원하는 사이즈의 금속 배선을 형성할 수 있다. 한편, 상기 제2 식각 공정에 따른 트렌치(65)의 제2 깊이(d_2)는 상기 제2 식각 공정 동안에 절연막(55)의 상부도 식각되기 때문에 제1 식각 공정에 의한 제1 깊이(d_1)와 실질적으로 동일하게 유지된다. 이와 같이, 치수가 정확하게 조절된 트렌치(65) 내에 다마신 공정을 통하여 금속 배선을 형성할 경우에는 요구되는 사이즈를 가지는 금속 배선을 용이하게 형성할 수 있다.

<36> 본 실시예에 따르면, 사진 식각 공정과 같은 제1 식각 공정을 통하여 마스크인 포토레지스트 패턴의 구조적인 안정성을 유지하면서 제1 치수를 가지는 트렌치를 형성한 다음, 절연막의 종류에 따라 상이한 조성을 가지는 식각 용액을 사용하는 제2 식각 공정을 통하여 트렌치가 확장된 제2 치수를 가지게 된다. 따라서, 트렌치 내에 형성되는 금속 배선의 사이즈에 따라 정확하게 제어된 치수를 가지는 트렌치를 형성할 수 있다.

<37> 도 3a 내지 도 3d는 본 발명의 다른 실시예에 따라 반도체 기판에 트렌치를 형성하는 방법을 설명하기 위한 단면도들을 도시한 것이다.

<38> 도 3a를 참조하면, 실리콘으로 이루어진 반도체 기판(80)에 셀 영역(cell region) 및 주변 회로 영역(peripheral circuit region)을 한정하는 소자 분리막을 형성하기 위

한 트렌치(90)를 형성한다. 즉, 기판(80) 상에 포토레지스트막(도시되지 않음)을 형성하고, 노광 및 현상 공정을 통하여 상기 포토레지스트막을 패터닝하여 기판(80)의 소자 분리막이 형성될 부분을 노출시키는 포토레지스트 패턴(85)을 형성한다.

<39> 이어서, 포토레지스트 패턴(85)을 마스크로 이용하여 사진 식각 공정인 제1 식각 공정을 통하여 반도체 기판(80)을 부분적으로 식각함으로써, 반도체 기판(90)에 제1 치수를 가지는 트렌치(90)를 형성한다.

<40> 도 3b를 참조하면, 상기 제1 식각 공정을 통해 제1 폭(w_1) 및 제1 깊이(d_1)의 제1 치수를 가지는 트렌치(90)가 형성된 반도체 기판(80)을 제2 식각 공정으로 식각한다. 이 경우, 트렌치(90)의 제1 폭(w_1)은 트렌치(90)에 형성되는 소자 분리막의 폭 보다 좁게 형성된다. 전술한 바와 마찬가지로, 상기 제2 식각 공정은 웨트 벤치방식, 싱글 스펀 스테이션 방식, 또는 케미컬 스펀 스테이션 방식으로 수행된다.

<41> 본 실시예에 있어서, 실리콘으로 이루어진 반도체 기판(80)을 식각하는 제2 식각 공정은 불화수소, 질산(HNO_3) 및 탈이온수(H_2O)를 포함하는 식각 용액을 사용하여 수행된다. 이 경우, 상기 식각 용액은 약 40~60Å/분 정도의 식각 속도로 반도체 기판(80)을 식각하여 반도체 기판(80)에 형성되어 있는 트렌치(90)의 폭을 확장한다. 상기 제2 식각 공정의 시간을 조절하여 반도체 기판(80)에 원하는 사이즈의 트렌치(90)를 형성할 수 있으므로, 트렌치(90) 내에 형성되는 소자 분리막도 정확한 치수로 형성할 수 있다.

<42> 도 3c를 참조하면, 상기 제2 식각 공정을 통하여 제1 폭(w_1)과 제1 깊이(d_1)를 포함하는 제1 치수를 가지는 트렌치(90)가 제2 폭(w_2)과 제2 깊이(d_2)의 제2 치수를 가지도록 트렌치(90)의 폭이 확장된다. 다시 말하면, 제1 치수를 가지는 트렌치(90)가 형성된 반도체 기판(80)에 대하여 상기 제2 식각 공정을 수행함에 따라 트렌치(90)의 제2

폭(w_2)은 상기 제1 식각 공정에 의해 형성되었던 제1 폭(w_1) 보다 넓게 확장된다. 예를 들면, 트렌치(90)가 약 1000~2000 Å 정도의 제1 폭(w_1)을 가질 경우, 트렌치(90)를 포함한 반도체 기판(80)의 식각 속도가 약 40~60 Å/분 정도이므로 약 5~10분 정도 제2 세정 공정을 수행하면 트렌치(90)의 제2 폭(w_2)을 약 2200~3200 Å 정도로 확장하여 트렌치(90) 내에 원하는 치수의 소자 분리막을 형성할 수 있다. 이 때, 상기 제2 식각 공정에 따른 트렌치(90)의 제2 깊이(d_2)는 상기 제2 식각 공정 동안에 반도체 기판(80)의 상부도 식각되기 때문에 제1 식각 공정에 의한 제1 깊이(d_1)와 실질적으로 동일하게 된다.

<43> 도 3d를 참조하면, 제2 폭(w_2) 및 제2 깊이(d_2)의 제2 치수로 확장된 치수를 가지는 트렌치(90)를 포함하는 반도체 기판(80) 상에 화학 기상 증착 방법을 통하여 산화막(도시되지 않음)을 형성한 다음, 상기 산화막을 에치 백(etch back) 공정 또는 화학 기계적 연마 공정(CMP)으로 식각하여 상기 트렌치(90) 내에 반도체 기판(80)을 셀 영역과 주변 회로 영역으로 구분하는 소자 분리막(95)을 형성한다.

<44> 본 실시예에 따르면, 제1 식각 공정을 통하여 제1 치수를 가지는 트렌치를 형성한 다음, 제2 식각 공정을 통하여 제1 치수 보다 확장된 제2 치수를 갖는 트렌치를 형성한다. 이러한 트렌치 내에 소자 분리막을 형성함으로써, 반도체 기판에 요구되는 치수를 가지는 소자 분리막을 정확하게 형성할 수 있다.

<45> 도 4a 내지 도 4c는 본 발명의 또 다른 실시예에 따른 도전성 패턴의 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.

<46> 도 4a를 참조하면, 트랜지스터 구조물(도시되지 않음)이 마련된 반도체 기판(100) 상에 화학 기상 증착 방법을 통하여 산화물, 질화물 또는 불화물로 이루어진 절연막

(105)을 형성한다. 이 경우, 절연막(105)은 중온 산화물, TEOS, BPSG, 또는 USG 등의 실리콘 산화물이나 FSG 또는 실리콘 산불화물과 같은 불화물, 또는 실리콘 질화물이나 실리콘 산질화물과 같은 질화물로 구성된다. 상기 절연막(55)은 반도체 기판(100) 상에 위치하는 트랜지스터 구조물을 덮도록 형성되며, 에치 백 또는 화학 기계적 연마 공정을 통하여 절연막(55)의 상부를 평탄하게 형성할 수 있다.

<47> 계속하여, 절연막(105) 상에 스핀 코팅 공정으로 포토레지스트막(도시되지 않음)을 도포한 다음, 노광 및 현상 공정을 통하여 상기 포토레지스트막을 패터닝하여 절연막(105) 상에 포토레지스트 패턴(110)을 형성한다.

<48> 이어서, 포토레지스트 패턴(110)을 마스크로 이용하는 제2 식각 공정을 통하여 상기 절연막(105)을 부분적으로 식각함으로써, 절연막(105)에 제1 폭(w_1)을 가지는 트렌치(115)를 형성한다. 트렌치(115) 내에 형성되는 비트 라인 과 같은 금속 배선이나 캐패시터의 하부 전극, 콘택 또는 패드 등으로 기능하는 도전성 패턴이 약 1500~2400 Å 정도의 폭을 가질 경우에는 트렌치(115)의 제1 폭(w_1)은 약 1000~1200 Å 정도가 된다. 본 실시예에 따르면, 후속하여 트렌치(115)의 치수를 확장하는 공정을 수행하기 때문에 절연막(105) 상에 형성되는 포토레지스트 패턴(110)은 전술한 바와 같이 종래의 경우 보다 훨씬 작은 중형비를 가진다. 이에 따라, 포토레지스트 패턴(110)이 무너지지 않고 절연막(105) 상에 안정적으로 형성된다.

<49> 도 4b를 참조하면, 제1 폭(w_1)을 가지는 트렌치(115)가 형성된 절연막(105)에 대하여 절연막(105)의 재질에 따라 각기 상이한 식각 용액을 사용하는 제2 식각 공정을 수행하여 트렌치(115)가 제1 폭(w_1) 보다 넓은 제2 폭(w_2)을 가지도록 트렌치(115)의 폭을 확장한다. 상기 제2 식각 공정은 웨트 벤치(wet bench) 방식, 싱글 스핀 스테이션

(single spin station) 방식, 또는 케미컬 스핀 스테이션(chemical spin station) 방식으로 수행되며, 이들 공정에 대해서는 전술한 바와 같다.

<50> 본 실시예에 있어서, 절연막(105)이 산화물이나 불화물로 이루어진 경우에는 불화수소(HF), 불화암모늄(NH_4F), 과산화수소(H_2O_2) 및 탈이온수(H_2O)를 포함하는 식각 용액을 사용하여 트렌치(155)를 포함하는 절연막(105)을 식각한다. 또한, 절연막(105)이 질화물로 구성된 경우에는 불화수소, 인산 및 탈이온수를 포함하는 식각 용액을 사용하여 트렌치(115)를 포함하는 절연막(105)을 식각한다. 이 때, 상기 식각 용액은 약 40~60Å/분 정도의 식각 속도로 절연막(105)을 식각하기 때문에, 예를 들면, 트렌치(115)가 약 1000~1200Å 정도의 제1 폭(w_1)을 가질 경우, 트렌치(115)를 포함하는 절연막(105)의 식각 속도가 약 40~60Å/분 정도이므로 약 6~10분 정도 제2 세정 공정을 수행하면 트렌치(115)의 제2 폭(w_2)을 약 1500~2400Å 정도로 확장하여 트렌치(115) 내에 동일한 치수를 가지는 도전성 패턴을 정확하게 형성할 수 있다. 한편, 트렌치(115) 내에 구리로 이루어진 도전성 패턴을 형성할 경우에는 상기 식각 용액은 도전성 패턴의 산화를 방지하기 위하여 트렌치(115)의 표면에서 불용성 피막을 형성하여 금속을 보호하는 벤조트리아졸(BTA)과 같은 산화 방지제를 더 포함할 수 있다.

<51> 도 4c를 참조하면, 상기 제2 식각 공정을 통하여 확장된 제2 폭(w_2)을 가지는 트렌치(115)를 채우면서 절연막(105) 상에 스퍼터링 방법, 화학 기상 증착 방법 또는 전기 도금 방법 등을 이용하여 도전층(도시되지 않음)을 형성한다. 이 경우, 상기 도전층은 구리, 텅스텐, 알루미늄, 티타늄, 또는 티타늄 질화물 등으로 이루어진다.

- <52> 이어서, 에치 백 공정 또는 화학 기계적 연마 공정으로 절연막(105) 상에 형성된 도전층을 연마하여 트렌치(115) 내에 반도체 장치의 금속 배선, 전극, 콘택 또는 패드 등으로 기능하는 도전성 패턴(120)을 형성한다.
- <53> 본 실시예에 따르면, 사진 식각 공정인 제1 식각 공정을 통하여 마스크인 포토레지스트 패턴을 안정적인 구조로 형성하고, 상대적으로 좁은 제1 폭을 가지는 트렌치를 형성한 다음, 절연막의 종류에 따라 다양한 조성을 가지는 식각 용액을 사용하는 제2 식각 공정을 통하여 상대적으로 넓은 제2 폭을 가지는 트렌치를 형성한다. 이에 따라, 확장된 폭을 가지는 트렌치 내에 요구되는 사이즈를 가지는 도전성 패턴을 형성할 수 있다.
- <54> 도 5a 내지 도 5e는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다. 본 실시예에 있어서, 듀얼 다마신 공정을 이용한 반도체 장치의 제조 방법을 설명한다.
- <55> 반도체 장치에 있어서 듀얼 다마신 구조(dual damascene structure)는 하부의 도전체와 전기적인 연결을 위한 콘택이 형성되는 부분인 비어홀과 금속 배선이 형성되는 부분인 트렌치가 형성된 구조를 말한다. 이와 같은 듀얼 다마신 구조는 대체로 비어홀을 먼저 형성한 후 트렌치를 형성하는 방법, 트렌치를 먼저 형성한 다음 비어홀을 형성하는 방법, 또는 비어홀 및 트렌치를 동시에 형성하는 방법으로 구분된다. 본 실시예에서는 비어홀을 먼저 형성하고 트렌치를 형성하는 방법을 중심으로 듀얼 다마신 공정을 이용한 반도체 장치의 제조 방법을 설명한다.
- <56> 도 5a를 참조하면, 먼저 반도체 기판(150)에 메모리 셀 영역과 주변 회로 영역을 한정하는 소자 분리막(도시되지 않음)을 형성한 다음, 소자 분리막에 의해 정의되는 셀 영역 상에 통상적인 트랜지스터 제조 공정에 따라 트랜지스터 구조물(도시되지 않음)을

형성한다. 상기 소자 분리막은 도 3a 내지 도 3d에 도시한 바와 같은 공정에 따라 기판 (150)에 제1 트렌치(도시되지 않음)를 형성하고 제1 트렌치에 산화막을 형성하는 공정으로 형성될 수 있다. 또한, 상기 소자 분리막은 통상적인 열 산화법, 실리콘 부분 산화법 또는 셀로우 트렌치 소자 분리 방법(STI)으로 형성될 수도 있다.

<57> 이어서, 트랜지스터 구조물을 포함하는 반도체 기판(150) 상에 산화물, 불화물 또는 질화물로 구성된 제1 절연막(155)을 형성한 후, 사진 식각 공정인 제1 식각 공정을 통하여 제1 절연막(155)의 소정 부분을 식각하여 제1 절연막(155)에 제2 트렌치(160)를 형성한다.

<58> 계속하여, 전술한 바와 같이 제1 절연막(155)의 종류에 따라 상이한 조성을 가지는 식각 용액을 사용하는 제2 식각 공정을 수행하여 제2 트렌치(160)의 폭을 확장시킨다. 본 실시예에 있어서, 제2 식각 공정 동안 사용되는 식각 용액 및 이에 따른 제2 트렌치 (160) 확장의 효과는 상술한 바와 동일하므로 이에 대한 설명은 생략한다.

<59> 도 5b를 참조하면, 상기 제2 트렌치(160)를 채우면서 제1 절연막(105) 상에 스퍼터 링 공정, 화학 기상 증착 공정 또는 전기 도금 공정 등을 이용하여 제1 도전층(도시되지 않음)을 형성한 후, 상기 제1 도전층을 에치 백 또는 화학 기계적 연마공정으로 연마하여 제2 트렌치(160)에 매립되어 그 상면이 노출되는 제2 도전성 패턴(165)을 형성한다.

<60> 계속하여, 제1 도전성 패턴(165)을 포함하는 제1 절연막(155) 상에 실리콘 탄화물 (SiC)과 같은 탄소 화합물 또는 질화물을 포함하는 비산화물(non-oxide)계 물질을 사용하여 제1 저지막(170)을 형성한 후, 제1 저지막(170)의 상부에 산화물, 질화물 또는 불화물로 이루어진 제2 절연막(175)을 형성한다. 제1 저지막(170)은 후속하여 진행되는 제3 트렌치 및 비어홀을 형성하기 위한 식각 공정에서 그 아래에 위치하는 제1 도전성

패턴(165)을 보호하는 역할을 수행한다. 이 경우, 제2 절연막(175)은 제2 절연막(155)과 동일한 물질을 사용하여 형성될 수 있지만, 제1 및 제2 절연막(155, 175)이 서로 상이한 물질로 이루어질 수도 있다. 상기 제2 절연막(175)에는 후속 공정에서 제1 도전성 패턴(165)에 전기적으로 연결되는 콘택이 위치하는 비어홀이 형성되며, 이에 따라 제2 절연막(175)은 인접하는 비어홀들을 서로 전기적으로 절연시키는 역할을 한다.

<61> 도 5c를 참조하면, 제2 절연막(175) 상에 순차적으로 실리콘 질화물 또는 실리콘 탄화물과 같은 탄소 화합물 내지 질화물로 구성된 제2 저지막(180)과 산화물로 이루어진 제3 절연막(185)을 형성한다. 제3 절연막(185)에는 제2 절연막(175)에 형성되는 비어홀과 부분적으로 연통되어 금속 배선이 위치하는 제3 트렌치가 형성된다. 이 때, 제3 절연막(185)은 인접하는 제3 트렌치들을 서로 전기적으로 절연시키는 역할을 수행한다. 한편, 상기 제2 저지막(180)은 제3 절연막(185)에 제3 트렌치를 형성하기 위하여 제3 절연막(185)을 식각하는 공정 동안 정확한 지점까지 식각이 수행될 수 있도록 식각 종료점을 표시하게 된다. 그러나, 전체적인 반도체 장치의 제조 공정의 간략화를 위하여 제2 저지막(180)은 형성되지 않을 수도 있다.

<62> 이어서, 상기 제3 절연막(185) 상에 산화물 또는 불화물을 사용하여 캡핑막(190)을 형성한다. 예를 들면, 캡핑막(190)은 도핑되지 않은 실리콘 산화물(SiO_2), PE-OX, USG 또는 TEOS를 사용하여 형성할 수 있을 뿐만 아니라 불화물인 실리콘 산불화물(SiOF)을 사용하여 형성할 수도 있다.

<63> 계속하여, 상기 캡핑막(190) 상에 제1 포토레지스트막(도시되지 않음)을 도포한 다음, 제1 포토레지스트막을 노광 및 현상 공정을 통하여 패터닝함으로써, 캡핑막(190) 상에 비어홀(200)을 형성하기 위한 제1 포토레지스트 패턴(195)을 형성한다.

- <64> 다음에, 제1 포토레지스트 패턴(195)을 마스크로 사용하여 그 아래에 제1 도전성 패턴(165)이 위치하는 제1 저지막(170)의 일부가 노출되도록 캡핑막(190), 제3 절연막(185), 제2 저지막(180) 및 제2 절연막(175)을 부분적으로 식각하여 제2 절연막(175)에 콘택이 위치하는 비어홀(200)을 형성한다.
- <65> 도 5d를 참조하면, 애싱 및 스트리핑 공정으로 제1 포토 레지스트 패턴(195)을 제거한 다음, 캡핑막(190) 상에 제2 포토레지스트막(도시되지 않음)을 도포한다.
- <66> 이어서, 상기 제2 포토레지스트막을 노광 및 현상하여 상기 비어홀(200) 및 비어홀(200) 주변의 캡핑막(190)을 노출시키는 제2 포토레지스트 패턴(205)을 형성한다.
- <67> 계속하여, 제2 포토레지스트 패턴(205)을 마스크로 이용하는 사진 식각 공정인 제1 식각 공정을 통하여 상기 캡핑막(190), 제3 절연막(185), 제2 저지막(180) 및 제1 저지막(170)을 부분적으로 식각하여 제1 도전성 패턴(165)을 노출시키는 한편 상기 비어홀(200) 보다 넓은 면적을 가지며 비어홀(200)에 연통되는 제3 트렌치(210)를 형성한다. 이 때, 제3 트렌치(210)는 상기 제1 식각 공정을 통하여 상대적으로 좁은 폭으로 형성된다.
- <68> 도 5e를 참조하면, 상기 제2 포토레지스트 패턴(200)을 제거한 다음, 전술한 바와 같이 캡핑막(190), 제3 절연막(185) 및 제2 저지막(180)의 종류에 따라 달라지는 조성을 가지는 식각 용액을 사용하는 제2 식각 공정을 수행하여 제3 트렌치(210)의 폭을 확장시킨다. 이 때, 캡핑막(190), 제3 절연막(185) 및 제2 저지막(180)의 막질에 따라 선택되는 식각 용액에 의하여 캡핑막(190), 제3 절연막(185) 및 제2 저지막(180)이 동시에 식각되거나 순차적으로 식각된다. 또한, 제2 식각 공정에 사용되는 식각 용액에 따라 제2

절연막(175)을 캡핑막(190), 제3 절연막(185) 또는 제2 저지막(180)과 함께 식각하거나 순차적으로 식각하여 비어홀(200)의 직경도 함께 증가시킬 수 있다. 본 실시예에 있어서, 상기 제3 트렌치(210)의 치수를 증가시키는 과정과 이에 따른 효과는 상술한 바와 동일하므로 이에 대한 설명은 생략한다.

<69> 계속하여, 확장된 폭을 가지는 제3 트렌치(210) 및 비어홀(200)을 채우면서 상기 캡핑막(190) 상에 구리, 알루미늄, 텅스텐 또는 티타늄 등 같은 금속을 스퍼터링 방법, 화학 기상 증착 방법 또는 전기 도금 방법을 이용하여 증착하여 제2 도전층을 형성한 다음, 제3 절연막(185)이 노출될 때까지 상기 제2 도전층을 에치 백 또는 화학 기계적 연마 공정으로 연마하여 비어홀(200) 및 제3 트렌치(210)에 제1 도전성 패턴(165)에 전기적으로 연결되는 제2 도전성 패턴(215) 및 제3 도전성 패턴(220)을 동시에 형성한다. 이에 따라, 듀얼 다마신 구조를 포함하는 반도체 장치가 형성된다. 이 때, 제2 도전성 패턴(215)은 반도체 장치의 비트 라인과 같은 금속 배선에 해당되며, 제3 도전성 패턴(220)은 금속 배선을 상호 연결시키기 위한 콘택에 해당된다. 상기 제2 금속층을 연마하는 동안 제3 절연막(185) 상의 캡핑막(190)은 모두 제거된다.

【발명의 효과】

<70> 본 발명에 의하면, 사진 식각 공정과 같은 제1 식각 공정을 통하여 마스크인 포토레지스트 패턴의 구조적인 안정성을 유지하면서 제1 치수를 가지는 트렌치를 형성한 다음, 반도체 기판 또는 절연막의 종류에 따라 상이한 조성을 가지는 식각 용액을 사용하는 제2 식각 공정을 통하여 트렌치의 치수를 확장시킬 수 있다. 이에 따라, 확장된 구조를 가지는 트렌치 내에 요구되는 사이즈의 금속 배선이나 소자 분리막 또는 콘택 등을 정확하게 형성할 수 있다. 그 결과, 트렌치의 형성을 위한 포토레지스트 패턴의 무너짐

으로 인하여 야기되는 반도체 장치의 불량을 방지할 수 있으므로 반도체 장치의 신뢰성을 개선할 수 있는 동시에 제조 공정의 수율을 향상시킬 수 있다.

<71> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판 상에 절연막을 형성하는 단계;

상기 절연막에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 이용하는 제1 식각 공정을 통해 상기 절연막에 제1 치수를 가지는 트렌치를 형성하는 단계; 및

상기 트렌치를 포함하는 상기 절연막을 제2 식각 공정을 통해 식각하여 제2 치수를 갖는 확장된 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 제2 식각 공정은 상기 포토레지스트를 제거한 후에 수행되는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 3】

제 1 항에 있어서, 상기 제1 치수는 제1 폭 및 제1 깊이를 포함하며, 상기 제2 치수는 상기 제1 폭 보다 넓은 제2 폭 및 상기 제2 깊이와 실질적으로 동일한 제2 깊이를 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 4】

제 1 항에 있어서, 상기 절연막은 산화물, 질화물 및 불화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 5】

제 4 항에 있어서, 상기 제2 식각 공정은 웨트 벤치(wet bench) 방식, 싱글 스핀 스테이션(single spin station) 방식 또는 케미컬 스핀 스테이션(chemical spin station) 방식으로 수행되는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 6】

제 4 항에 있어서, 상기 제2 식각 공정은 산화물 또는 불화물을 식각하는 식각 용액을 사용하여 수행되는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 7】

제 6 항에 있어서, 상기 식각 용액은 불화수소(HF), 불화암모늄(NH_4F), 과산화수소(H_2O_2) 및 탈이온수(H_2O)를 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 8】

제 7 항에 있어서, 상기 식각 용액은 불화수소, 불화암모늄, 과산화수소 및 탈이온수를 1 : 1~10 : 1~10 : 100~500의 부피 비로 함유하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 9】

제 7 항에 있어서, 상기 식각 용액은 40~60Å/분의 식각 속도로 상기 절연막을 식각하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 10】

제 6 항에 있어서, 상기 식각 용액은 상기 확장된 트렌치 내에 형성되는 금속층의 산화를 방지하기 위한 산화 방지제를 더 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 11】

제 10 항에 있어서, 상기 산화 방지제는 벤조트리아졸(BTA)을 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 12】

제 4 항에 있어서, 상기 제2 식각 공정은 질화물을 식각하는 식각 용액을 사용하여 수행되는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 13】

제 12 항에 있어서, 상기 식각 용액은 불화수소, 인산(H_3PO_4) 및 탈이온수를 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 14】

제 12 항에 있어서, 상기 식각 용액은 상기 확장된 트렌치 내에 형성되는 금속층의 산화를 방지하기 위한 산화 방지제를 더 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 15】

제 14 항에 있어서, 상기 산화 방지제는 벤조트리아졸(BTA)을 포함하는 것을 특징으로 하는 트렌치 형성 방법.

【청구항 16】

기판 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 이용하는 제1 식각 공정을 통해 상기 기판에 제1 치수를 갖는 트렌치를 형성하는 단계;

상기 트렌치를 포함하는 상기 기판을 제2 식각 공정으로 식각하여 제2 치수를 갖는 확장된 트렌치를 형성하는 단계; 및

상기 확장된 트렌치 내에 매립되는 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 소자 분리막 형성 방법.

【청구항 17】

제 16 항에 있어서, 상기 산화막을 형성하는 단계는, 상기 트렌치를 채우면서 상기 기판 상에 산화막을 형성하는 단계 및 상기 기판 상의 상기 산화막을 제거하여 상기 트렌치 내에 상기 산화막을 매립하는 단계를 더 포함하는 것을 특징으로 하는 소자 분리막 형성 방법.

【청구항 18】

제 16 항에 있어서, 상기 제2 식각 공정은 실리콘을 식각하는 식각 용액을 이용하여 수행되는 것을 특징으로 하는 소자 분리막 형성 방법.

【청구항 19】

제 18 항에 있어서, 상기 식각 용액은 불화수소, 질산(HNO_3) 및 탈이온수를 포함하는 것을 특징으로 하는 소자 분리막의 형성 방법.

【청구항 20】

기판 상에 절연막을 형성하는 단계;

상기 절연막 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 이용하는 제1 식각 공정을 통해 상기 절연막에 제1 폭을 가지는 트렌치를 형성하는 단계;

상기 트렌치를 포함하는 상기 절연막을 제2 식각 공정을 통해 식각하여 제2 폭을 갖는 확장된 트렌치를 형성하는 단계; 및

상기 확장된 트렌치 내에 도전성 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 도전성 패턴 형성 방법.

【청구항 21】

제 20 항에 있어서, 상기 절연막이 산화물 또는 불화물을 포함할 때, 상기 제2 식각 공정은 불화수소, 불화암모늄, 과산화수소 및 탈이온수를 포함하는 식각 용액을 사용하여 수행되는 것을 특징으로 하는 도전성 패턴 형성 방법.

【청구항 22】

제 20 항에 있어서, 상기 절연막이 질화물을 포함할 때, 상기 제2 식각 공정은 불화수소, 인산 및 탈이온수를 포함하는 식각 용액을 사용하여 수행되는 것을 특징으로 하는 도전성 패턴 형성 방법.

【청구항 23】

제 20 항에 있어서, 상기 도전성 패턴은 구리 또는 알루미늄을 포함하는 것을 특징으로 하는 도전성 패턴 형성 방법.

【청구항 24】

제 23 항에 있어서, 상기 제2 식각 공정은 상기 도전성 패턴의 산화를 방지하기 위하여 벤조트리아졸(BTA)을 포함하는 식각 용액을 사용하여 수행되는 것을 특징으로 하는 도전성 패턴 형성 방법.

【청구항 25】

반도체 기판 상에 제1 도전성 패턴이 형성된 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 적어도 하나의 저지막 및 제2 절연막을 교대로 형성하는 단계;

상기 절연막 상에 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 마스크로 이용하여 상기 저지막 및 상기 제2 절연막을 식각하여 상기 제1 도전성 패턴을 노출시키는 비어홀을 형성하는 단계;

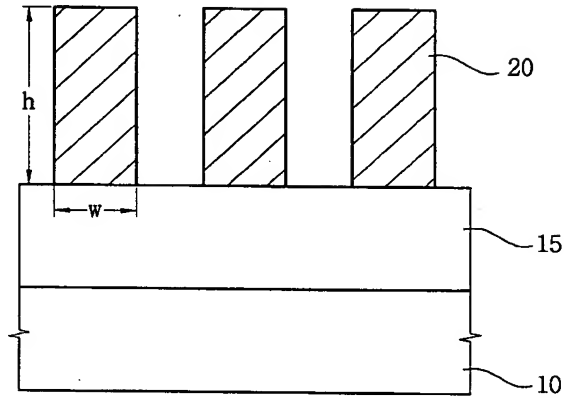
상기 제1 포토레지스트 패턴을 제거한 후, 상기 절연막 상에 제2 포토레지스트 패턴을 형성하고 상기 제2 포토레지스트 패턴을 마스크로 이용하여 상기 저지막 및 상기 제2 절연막을 식각하여 상기 비어홀 상에 제1 폭을 갖는 트렌치를 형성하는 단계;

상기 트렌치를 포함하는 상기 제2 절연막을 식각하여 제2 폭을 갖는 확장된 트렌치를 형성하는 단계; 및

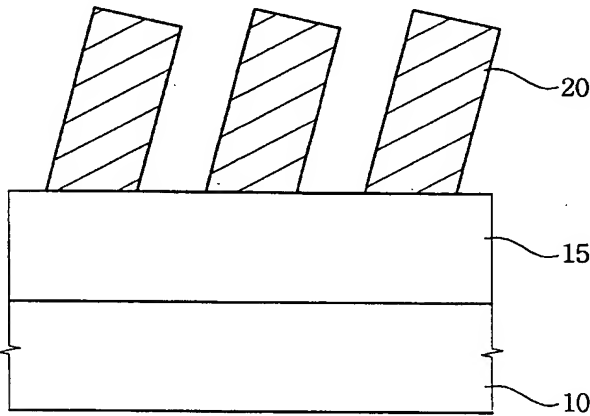
상기 비어홀 및 상기 확장된 트렌치에 각기 제2 및 제3 도전성 패턴을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

【도면】

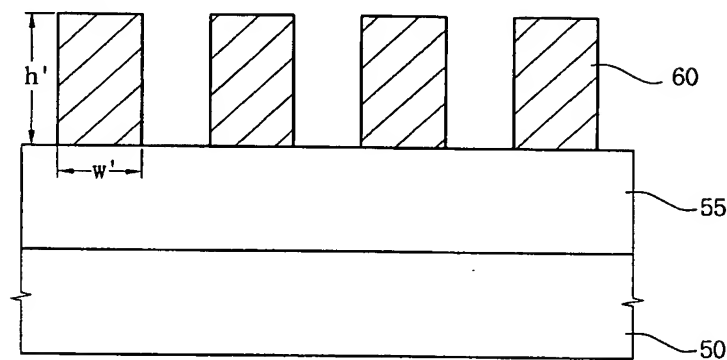
【도 1a】



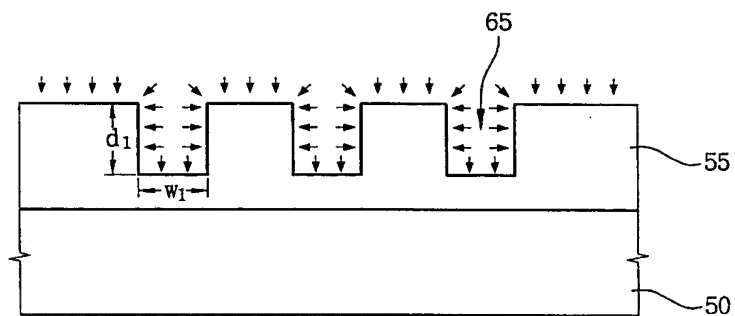
【도 1b】



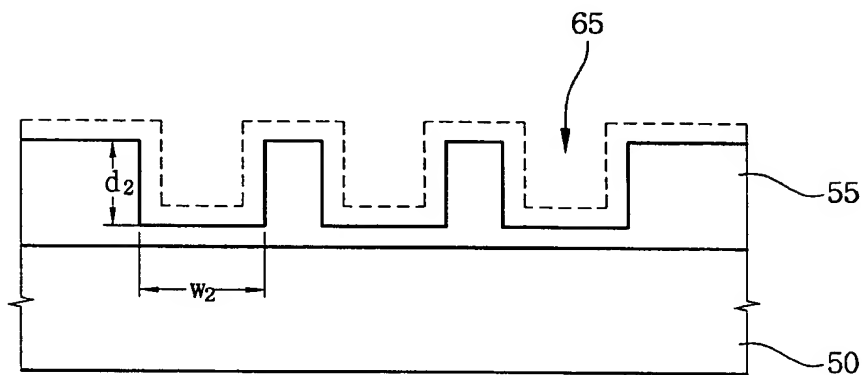
【도 2a】



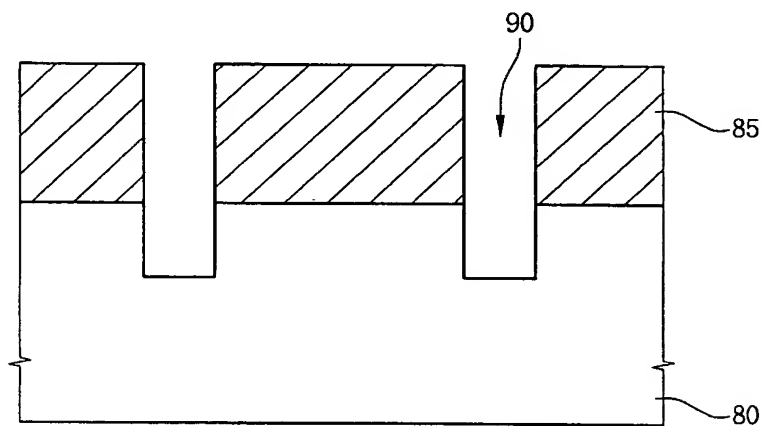
【도 2b】



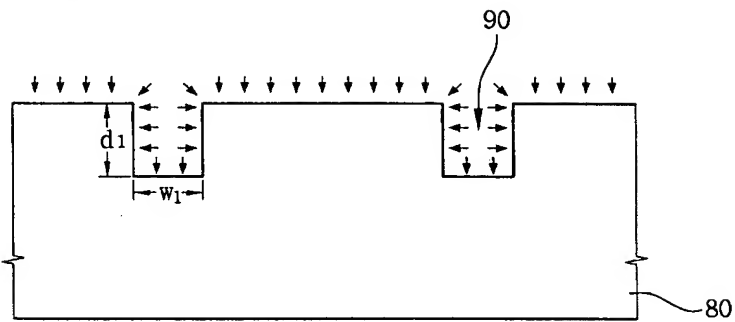
【도 2c】



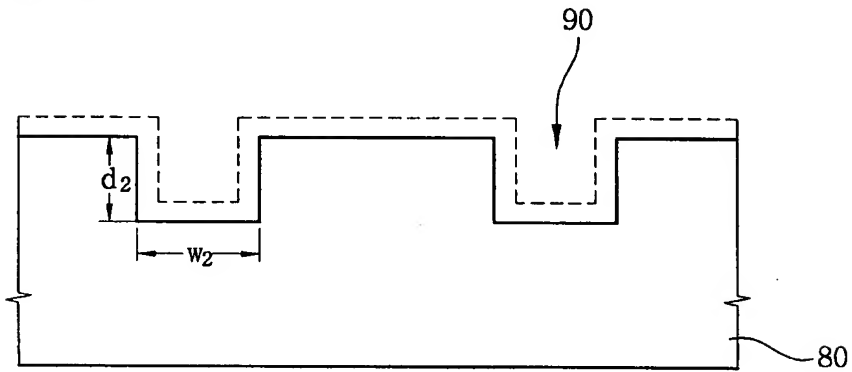
【도 3a】



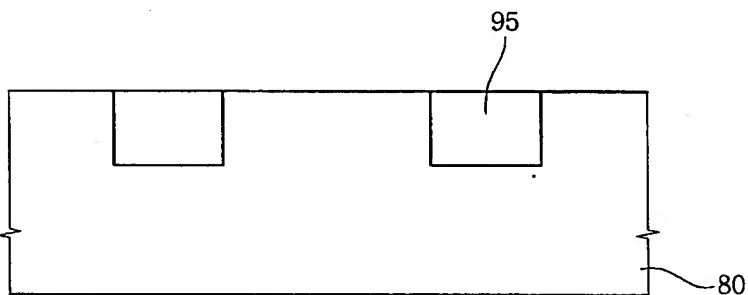
【도 3b】



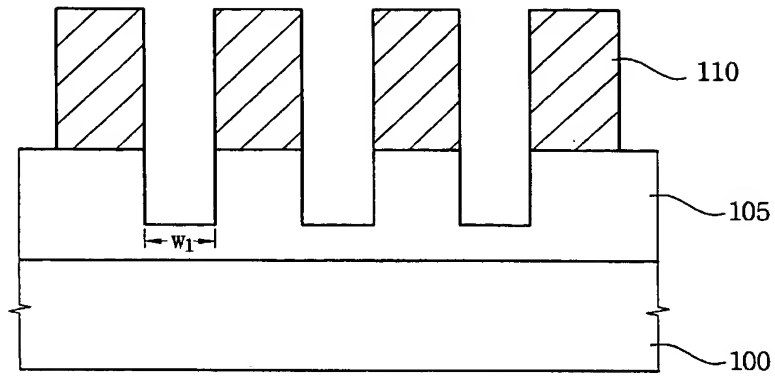
【도 3c】



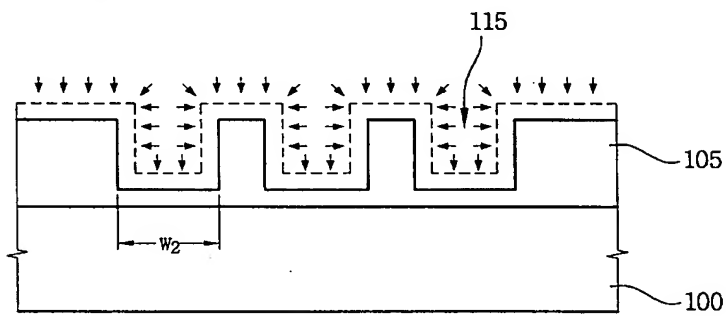
【도 3d】



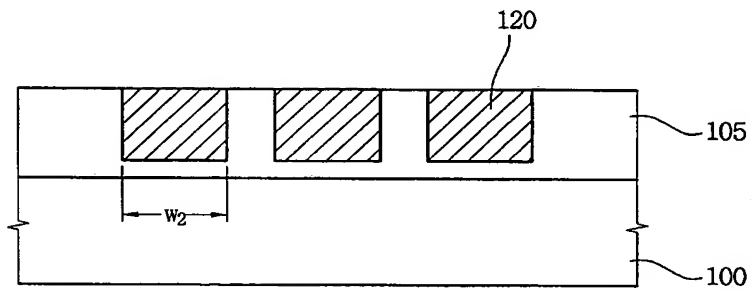
【도 4a】



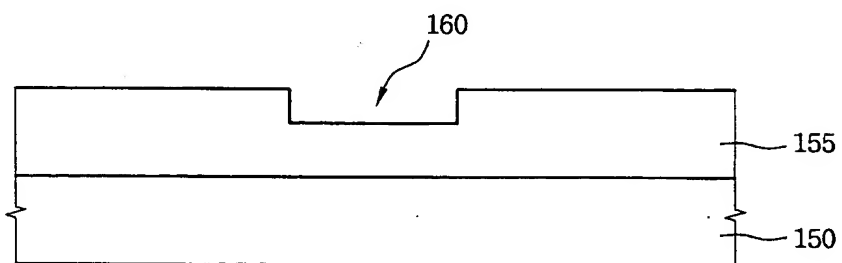
【도 4b】



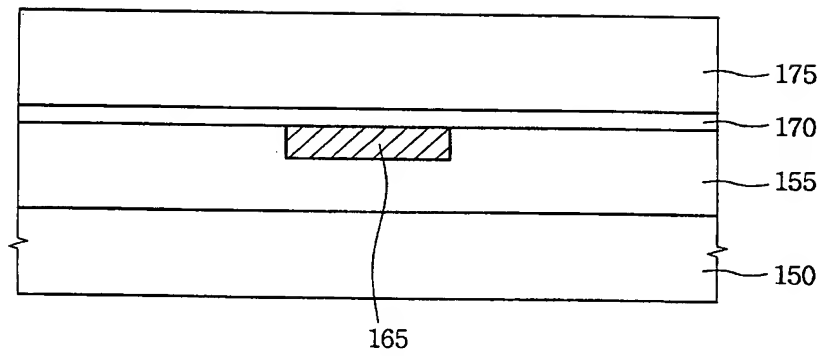
【도 4c】



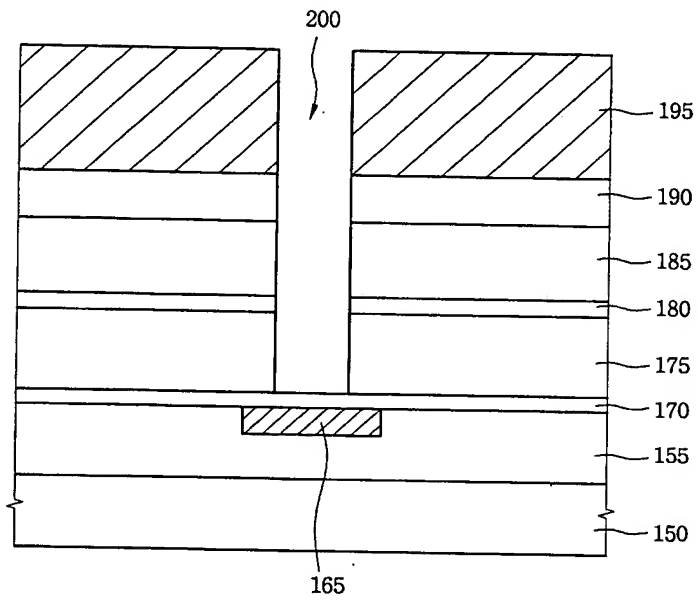
【도 5a】



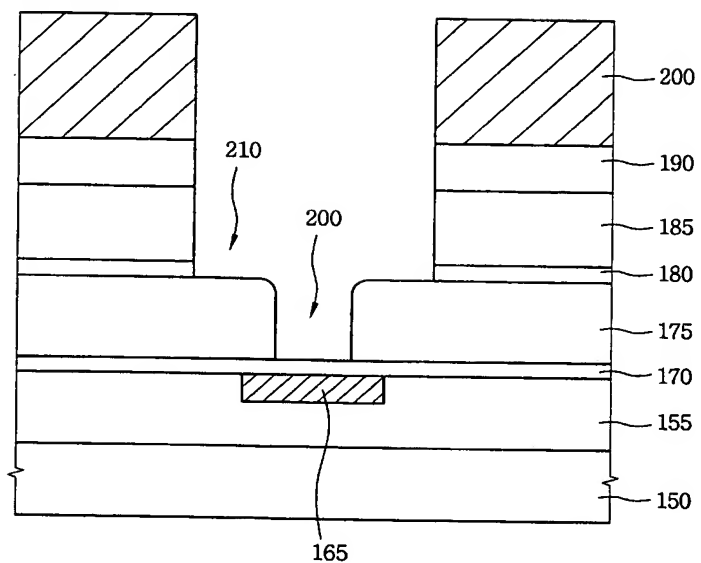
【도 5b】



【도 5c】



【도 5d】



【도 5e】

